

⑫ 公開特許公報(A)

昭63-204815

⑤Int.Cl.⁴
H 03 K 19/094識別記号 庁内整理番号
A-8326-5J

④公開 昭和63年(1988)8月24日

審査請求 未請求 発明の数 1 (全6頁)

⑭発明の名称 半導体論理回路

⑰特 願 昭62-35507

⑱出 願 昭62(1987)2月20日

⑲発明者 土井 俊雄 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑲発明者 林 剛久 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑲発明者 石橋 賢一 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑲出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑲代理人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体論理回路

2. 特許請求の範囲

1. 少なくとも1個の入力信号を受けて導通若しくは非導通状態となることにより論理演算を行なう論理回路網と、この論理回路網からの信号を出力信号端子に出力するためのバッファ回路とから成る半導体論理回路において、上記論理回路網の寄生容量の充電と上記出力信号端子の配線容量の放電とを独立に行なうことによりプリチャージする手段を有することを特徴とする半導体論理回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体論理回路に係り、特に汎用計算機等に搭載する論理回路用MOSLSIに用いて好適なダイナミック型の半導体論理回路に関する。

〔従来の技術〕

汎用計算機等においては、益々処理時間の高速

化が求められており、デバイス性能の向上や論理変更等により性能向上が図られている。しかし、大幅な高速化を実現するためには回路面での高速化が不可欠である。

従来高速かつ高集積のMOSLSI用ダイナミック型論理回路として、例えば特開昭54-89558号に記載のものがある。第2図は、この従来技術に示されている多段論理回路の1段構成を抜き出して表わしたものである。この図において、論理演算を実行する論理回路網25の出力ノードは、そのまま次のインバータ回路の入力ノードとなっており、又この論理回路網25とグランド電位の間にはクロック信号により制御されるFET17が直列に挿入された構成となつている。

〔発明が解決しようとする問題点〕

ダイナミック型論理回路の高速化を図るためには、その演算時間の短縮化はもとより、いわゆるプリチャージに要する時間の短縮化が必要である。

ここでプリチャージとは、ダイナミック型論理回路を演算可能な状態にセットアップするために、

演算前の準備として論理回路網の寄生容量を充電するとともに、インバータを介して配線容量を放電することである。このプリチャージは、各演算毎に行なう必要があるため、プリチャージ時間の短縮は論理回路動作の高速化に大きく効いてくる。

ところで、第2図に示す如く従来の技術においては、プリチャージ時に論理回路網25の出力ノードの寄生容量20を充電するとともにインバータ回路を介して配線容量21の放電を行なうのであるが、寄生容量20の充電時間は長いので、インバータ回路の出力ノードに存在する配線容量20の放電時間も長くなつてしまい、プリチャージに要する時間が大きいという問題があつた。また、論理演算時、論理回路網25の出力ノードの寄生容量20を放電する経路のインピーダンスが大きいため、放電時間の増加ひいては演算時間の増加という問題があつた。

本発明は上述の問題点を解決し、プリチャージ時間の短い、高速に動作する半導体論理回路を提供することを目的とする。

FET、5はインバータを構成するPMOS FET、6はインバータを構成するNMOS FET、7はクロック信号入力端子、8はデータ信号入力端子、9は出力信号端子、10は論理回路網の出力ノードの寄生容量、11はインバータ入力ノードの寄生容量、12は出力信号端子の配線容量、13は論理回路網の出力ノード、14はインバータの入力ノード、15は本発明を実施した論理回路である。

なお、寄生容量10、11はFETのドレインまたはソースとシリコン基板間の容量およびFET間配線の容量を含み、配線容量12は論理回路間配線の容量および次段の論理回路の入力容量を含んでいる。

さて、論理演算を開始する直前にはノード13及び14の電位は電源電圧の電位（以下ハイレベルという。）まで引き上げられており、寄生容量10、11及び12は充電された状態にある。また、クロック信号入力端子7はハイレベルであり、FET2及び4はオフ状態、FET3はオン状態

（問題点を解決するための手段）

上記目的は、プリチャージの際に論理回路網の寄生容量の充電と、出力信号端子の配線容量の放電とを独立に行なう手段を半導体論理回路に設けることにより達成される。

〔作用〕

論理回路網の寄生容量の充電とは独立に出力信号端子の配線容量の放電を行なうので、従来の様に出力信号端子の配線容量の放電が論理回路網の寄生容量の充電時間に依存せず完了するため、この充電時間の遅れに影響されず、配線容量の放電が短時間に行なわれる。その結果、プリチャージ時間が短縮される。

〔実施例〕

以下、本発明を実施例により図面を用いて説明する。

第1図は、本発明に係るCMOS論理回路の実施例である。第1図において、1はNMOS FETを直列、並列に接続して構成した論理回路網2、4はプリチャージ用PMOS FET、3はNMOS

となつてゐる。更にデータ信号入力端子8は総てグラウンドの電位（以下ローレベルという。）となつており、論理回路網1内のFETは総てオフ状態となつてゐる。従つて論理回路網全体は非導通状態であるので、上述の状態が保持されている。

一方、インバータを構成するFETのうちPMOS FET5はオフ状態であり、NMOS FET6はオン状態であるため、出力信号端子9はローレベルとなり、配線容量12は放電された状態にある。

ここで、論理演算は論理回路網1が導通するべくデータ信号入力端子8の一部若しくは全部にハイレベルが印加されることにより開始する。

論理回路15において、回路網1を通して寄生容量10が放電されるためノード13の電位が下がる。それとともにFET3を通して寄生容量11が放電されるためノード14の電位も下がる。これらのノードの電位変化を第5図に示す。第5図は、本発明に係る論理回路15の論理演算時における各部の電位変化と第2図に示す従来のもの

の電位変化とを比較して示したものである。第5図中、8-1はデータ入力信号端子8の電位変化、9-1は出力信号端子9の電位変化そして13-1及び14-1はノード13及び14の各電位変化を示す。破線22-1、23-1は従来の回路の場合である。なお、横軸は時間を示している。このグラフから明らかなように、破線22-1に比べてノード13及び14の電位は急速に下がっている。この結果、9-1と破線23-1とを比較してわかるように論理回路15は高速に動作している。

この理由は次の通りである。

1. 論理回路15では、寄生容量10の放電経路は回路網1のみであるためインピーダンスが低く、放電時間を短縮できる。
2. 論理回路15では寄生容量11の放電経路内にFET3があるが、同容量11の容量値は小さいため、FET3のインピーダンスが高い場合でも放電時間は短くできる。

次にプリチャージ時の動作を説明する。

データ信号を論理回路41~44に入力する場合、例えば第4図の様にANDゲート回路45~50をそれらの間に挿入し、各ANDゲート回路にはデータ信号とクロック信号入力端子からのクロック信号を入力することによって上述した設定③は実行される。即ちプリチャージ時にはクロック信号はローレベルとなつてからである。

一方、回路間配線57、58及び59のように論理回路の出力が次段の入力となつている場合には、上記の④を満たすことにより③を満たすことができるが、この場合に重要なことは、上記①、②、③の動作が互いに独立ではなく関連があることである。すなわち①の寄生容量の充電を完了するには、それ以前に③のデータ信号入力に確定してローレベルになつていなければならず、従つて④の配線容量の放電が完了していなければならない。換言すると、プリチャージ動作の内、最後に完了するのは①の寄生容量の充電動作であり、またプリチャージ動作を高速化するには④の配線容量の放電を高速に行なう必要がある。

プリチャージ時には、論理演算に先立つて次のように設定を行なわねばならない。

①寄生容量10及び11を充電し、ノード13、14をハイレベルにする。②配線容量12を放電し出力信号端子9をローレベルにする。そして③データ信号入力端子8を総てローレベルにする。

ここでプリチャージ時の論理回路各部の動作の説明をする前に上記①、②及び③がどのように設定されるかを第4図の実施例を用いて説明する。

第4図は本発明に係る論理回路を直列及び並列に接続してより複雑な論理演算を行なう構成を示す。41~44は第1図に示した論理回路15、45~50はANDゲート回路、61~66はデータ信号入力端子、51~59は回路間配線、60は出力信号端子である。各論理回路及びANDゲート回路には、それぞれクロック信号が入力され、ANDゲート回路の出力端子及び論理回路の出力信号端子9は回路間配線51~59により次段のデータ信号入力端子8に接続される。

データ信号入力端子61~66に入力されたデ

第1図に示す本実施例の動作を説明する。論理回路15において、クロック信号をローレベルにすると、プリチャージが開始される。このときFET2、4はオン、FET3はオフとなり寄生容量10はFET2を通し、寄生容量11はFET4を通して、それぞれ充電され、ノード13、14の電位が上昇する。ただしデータ信号入力端子8の一部または全部がハイレベルとなつており、論理回路網¹が導通状態である場合には、入力端子がローレベルになり論理回路網が非導通状態となるまでノード13の電位の上昇は遅れる。これに対しノード14の電位はFET3がオフであるため、論理回路網1の状態に関係なく上昇し、FET5がオフ、FET6がオンとなり配線容量12が放電されて出力端子9の電位はローレベルに下がりプリチャージ動作が終了する。

第6図に本発明に係る論理回路15のプリチャージ時における各ノードの電位変化と第2図に示す従来技術との比較を示す。ノード14の電位変化14-2と従来技術のそれ22-2を比較する

と、電位の上昇はほぼ同時に始まるがノード14の方が急峻に立ち上がる。これは先に述べた様に寄生容量11が小さいためである。このようにノードの立ち上がりには差があるため、両回路の出力信号端子の電位変化を比べると、9-2の方が高速である。これは、端子9の電位がローレベルに確定した後にノード13の電位が上昇し始めるが、この時点でデータ信号入力端子8の電位が確定しているために急峻に立ち上がることができるのである。この結果、本発明を適用した論理回路15は、従来技術による論理回路24より短時間でプリチャージ動作を完了できる。ダイナミック形論理回路では、論理演算動作を行なう毎にプリチャージ動作を高速化することにより、サイクルタイムを短縮することができ、演算のスループットを向上させることができる。このように、第1図の実施例においてはダイナミック型論理回路の論理演算動作とプリチャージ動作を共に高速化することができる。

30~37をそれぞれ充電するため、プリチャージ用FETがT77とT78の2個のみの場合と比較してプリチャージ時間をさらに短縮する効果がある。

第8図は本発明を並列加算器のキャリー生成回路に適用した例を示している。並列加算器では、各ビット毎に2個の入力信号および下位ビットからの1個のキャリー信号を受け取り加算結果と上位ビットへのキャリーを出力する。従って上位ビットでの演算は下位ビットのキャリー出力が確定してから行わなければならない。加算器の演算幅が大きくなるにつれてキャリーの伝播に要する時間が演算時間の内の大部分を占める様になる。このため演算時間を短縮するのに加算器と別にキャリー生成回路を設けるのが一般的に行われている。第8図の例では各4ビット入力信号a0~a3, b0~b3(a3, b3がそれぞれの最上位ビット)およびキャリー入力ICに応じて、各ビット毎のキャリーC0~C3(C3が最上位ビットからのキャリー出力)を出力するキャリー生成回路に本発明

第3図は、論理回路網の一例を示したものである。TA~TIはNMOS FET, VA~VIはFET TA~TIのゲートにそれぞれ印加されるデータ信号30~37は寄生容量である。第1図ではデータ信号VA~VIはデータ信号入力端子8に印加され、寄生容量30~37は寄生容量10に含まれる。この論理回路網を論理回路15に組み入れると、

$$V_A \cdot ((V_B \cdot V_C + V_E \cdot V_F) \cdot V_D + V_G \cdot V_H \cdot V_I)$$
という論理演算の結果が出力信号端子9に出力される。

第3図の論理回路網に対し、本発明を適用した実施例を第7図に示す。ここではプリチャージ用FETとして第1図の2および4に相当するT77とT78に加えてT71~T76のFETを追加している。追加したFETのソースは共通に電源VDDに接続し、ドレインは論理回路網内の各ノードに接続する。またゲートにはクロック信号を加える。これらのFETは、プリチャージ動作時にオン状態となり、回路網内のノードに存在する寄生容量

を適用している。特に、この例では1個の論理回路網からC0~C3の4種の出力信号を得ており、これによりキャリー生成を高速に行なうことができる。

以上述べた様に本発明を適用することによりダイナミック型論理回路を高速化することができる。なお本発明を適用するには従来技術に比べてFETを1個追加する必要があるが、このFETは小容量の寄生容量を充電するものであるため、ゲート幅の小さいものでよく、レイアウト面積の増加およびクロック信号の負荷容量増加は問題とならない程度に抑えられる。

以上の実施例では、論理回路網をNMOS FETで構成したが、これをPMOS FETで構成することもでき、この場合は他のFETの導電型および入力信号の極性を逆にすれば本発明をそのまま適用できる。また寄生容量を充電するFETをバイポーラトランジスタに置換し、電流駆動能力を向上させることにより、さらに高速化を図ることも可能である。

〔発明の効果〕

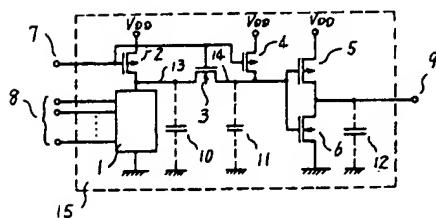
本発明によれば、ダイナミック型論理回路のプリチャージ動作を高速化することができるので、演算のスループットを向上させる効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例の論理回路、第2図は従来技術の一実施例の論理回路、第3図は論理回路網の例、第4図は第1図に示した論理回路を組み合わせた実施例、第5図は第1図に示した論理回路と従来技術の論理演算動作波形の比較、第6図は第1図に示した論理回路と従来技術のプリチャージ動作波形の比較、第7図及び第8図は本発明の他の実施例を示す図である。

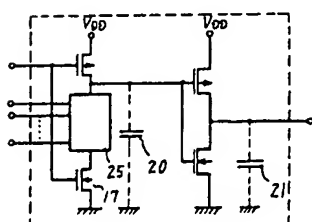
1…論理回路網、2, 4, 5, 16, 18…PMOS FET、3, 6, 17, 19…NMOS FET、7…クロック信号入力端子、8…データ信号入力端子、9, 23…出力信号端子、10, 11, 20…寄生容量、12, 21…配線容量、15, 24…論理回路、 $T_A \sim T_I$ …NMOS FET、 V_A, V_I …データ信号、30…寄生容量、

第1図

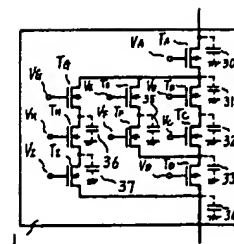


1 論理回路網
2, 4, 5 PMOS FET
3, 6 NMOS FET
7 クロック信号入力端子
8 データ信号入力端子
9 出力信号端子
10, 11 寄生容量
12 配線容量
15 論理回路

第2図

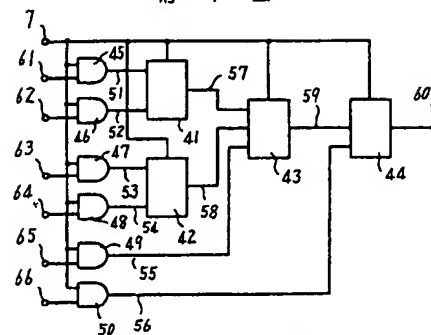


第3図



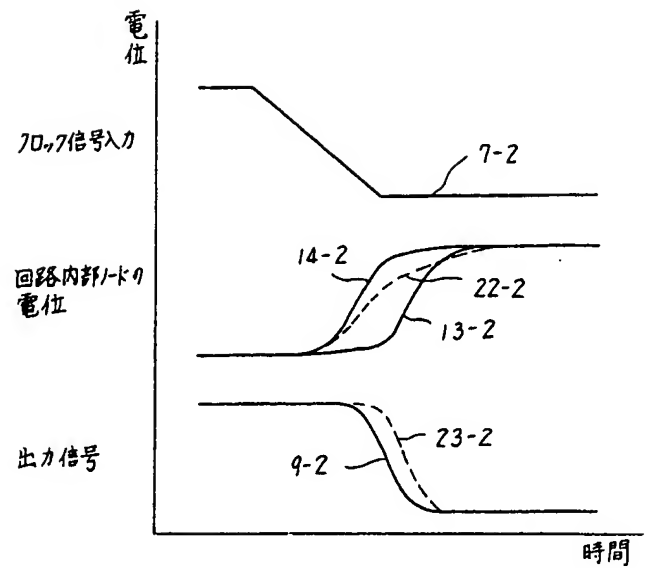
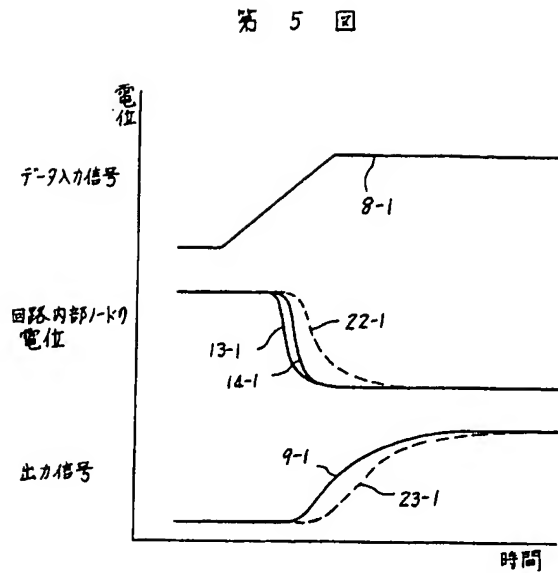
$T_A \sim T_I$ NMOS FET
 $V_A \sim V_I$ データ信号
30…寄生容量

第4図

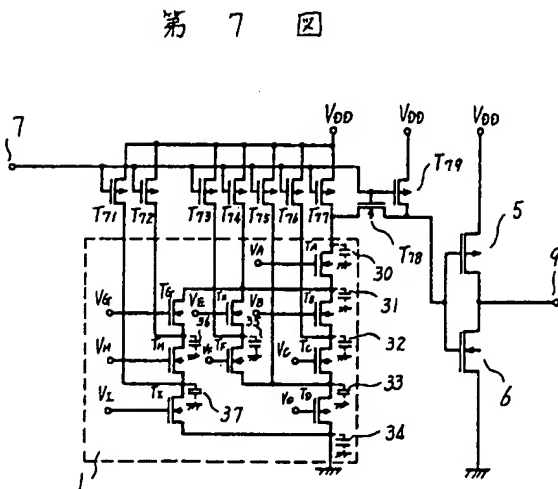


41~44 論理回路
45~50 AND-ト回路
51~59 回路間配線
60 出力信号端子
61~66 データ信号入力端子

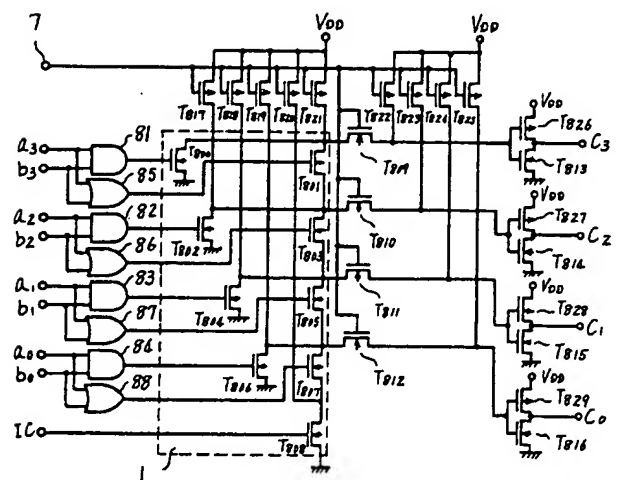
第 6 図



第 8 図



T71 ~ T77 PMOSFET
T78 NMOSFET
T79 PMOSFET



T816 ~ T819 NMOSFET
T817 ~ T829 PMOSFET
81 ~ 84 AND回路
85 ~ 88 OR回路
a0 ~ a3 データ信号入力端子
b0 ~ b3 データ信号入力端子
IC キー入力端子
C0 ~ C3 キー出力端子